

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(13) 日本国特許庁 (J P)

(11) 公開特許公報 (A)

(12) 特許出願公開番号

特開平 7-312405

(13) 公開日 平成 7 年 (1995) 11 月 28 日

(51) Int. Cl.	国際記号	特許庁登録番号	F I	特許庁登録所
H01L 23/50		5		
21/60	311	Q 8918-48		
21/221				
23/28		A 8617-48		
		Z 8617-48		

審査請求 異議請求 請求項の修正 O L (全 5 頁) 最終頁に於く

(21) 出願番号 特願平 6-102369

(22) 出願日 平成 6 年 (1994) 5 月 17 日

(71) 出願人 000008108

株式会社日立製作所

東京都千代田区神田区南台西丁目 6 番地

(72) 出願人 000233169

株式会社日立マイコンシステム

東京都小平市上水本町 5 丁目 22 番 1 号

(73) 発明者 金本 光一

東京都小平市上水本町 5 丁目 20 番 1 号

(73) 発明者 石田 稔文

株式会社日立製作所半導体事業部内

東京都小平市上水本町 5 丁目 22 番 1 号

株式会社日立マイコンシステム内

(74) 代理人 弁護士 石田 稔文

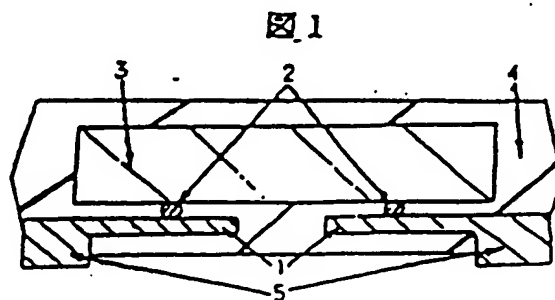
最終頁に於く

(54) 【発明の名称】半導体装置

(57) 【要約】

【目的】 半導体装置の高圧領域における実効電圧を向上すること。

【構成】 半導体チップとそれに電気的に接続された内部リードを絶縁で封止した半導体装置であって、前記半導体装置の封止絶縁部の底面もしくは、上面から内部リードの一部を突出させる。



【特許請求の範囲】

【請求項 1】 半導体チップとそれに電気的に接続された内部リードを設けて封止した半導体装置であつて、前記半導体装置の封止部材の底面もしくは、上面から内部リードの一部を突出させることを特徴とする半導体装置。

【請求項 2】 前記半導体チップと内部リードとはパンプを介して電気的に接続してなることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 本装置チップとそれに電気的に接続された内部リードを設けて封止してなる半導体装置であつて、前記封止体の一主面側に、それぞれのリードの底面の一部がレジジンにより埋め込まれ、その埋め込まれたリード主面が半導体チップとの電気的接続をなし、それぞれのリードの底面がレジジンから露出し、その露出した底面が外部リードをなしていることを特徴とする半導体装置。

【発明の概要】

【0001】

【従来の技術】 本発明は、半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】 従来の半導体装置には、一般に内部リードと半導体チップをワイヤで接続したものとパンプで接続するものがあり、それら外部リードとともに半導体装置の封止部材の側面から突出した構造を持つ。

【0003】

【発明が解決しようとする課題】 本発明者は、上記従来の技術を検討した結果、以下の課題を見いだした。

【0004】 近年の半導体装置を使用したシステム装置等のダウンサイジングに伴い、半導体装置を接続する基盤のサイズ等を小さくする必要が生じた。このため、半導体装置のサイズを小さくする事で基盤の面積効率を上げて基盤サイズを小さくした。

【0005】 この半導体装置の縮小は、主に半導体チップの縮小によりなされたものであり、外部リードはその縮小の対象とはなっていない。

【0006】 このため、基板上の半導体装置の外部リードが占める面積に対する縮小効果はなされていないのが現状である。

【0007】 したがって、従来の半導体装置における外部リードは、一般に半導体装置の封止部材の側面から突出した構造を有していることから、その封止部材の側面から突出した外部リードの分だけ面積を占分に占め、面積効率における欠点があるという問題があった。

【0008】 本発明の目的は、半導体装置の面積効率における面積効率を向上させることが可能な装置を提供することにある。

【0009】 本発明の目的ならびにその他の目的と手段

な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0010】

【課題を解決するための手段】 本図において表示される図面のうち、代表的なものの特徴を簡単に説明すれば、下記の通りである。

【0011】 半導体チップとそれに電気的に接続された内部リードを設けて封止した半導体装置であつて、前記半導体装置の封止部材の底面もしくは、上面から内部リードの一部を突出させる。

【0012】

【作用】 上述した手段によれば、半導体チップとそれに電気的に接続された内部リードを設けて封止した半導体装置であつて、前記半導体装置の封止部材の底面もしくは、上面から内部リードの一部を突出させることにより、半導体装置の封止部材の占める面積内に外部リードが収まり、従来の外部リードの突出によって占分にとられていた面積を縮小できるので、半導体装置の面積効率における面積効率を向上させることが可能となる。

【0013】 以下、本発明の構成について、実施例とともに説明する。

【0014】 なお、実施例を説明するための全図において、同一部材を指すものは同一符号を付け、その繰り返しの説明は省略する。

【0015】

【実施例】 図 1 は、本発明の一実施例である半導体装置の構造を説明するためのものである。

【0016】 図 1 に示した本実施例の半導体装置は五方形であり、図 2 に五方形の底面側からみた側面図、図 3 に底面側からみた側面図、図 4 に底面からみた平面図をそれぞれ示す。

【0017】 図 1～図 4 において、1 は内部リード部、2 はパンプ、3 はチップ、4 は封止部材、5 は外部リード部をそれぞれ示す。

【0018】 本実施例の半導体装置は、図 1 に示すように、リードに接続がなされており、内部リードとして構成する内部リード部 1 と外部リードとして構成する外部リード部 5 とからなる。

【0019】 このリードの構成は、リードの内部リード部 1 をハーフエッチしたり、リードを複数に 2 倍折り重ねて切斷することによって得られる。

【0020】 封止部材 4 内においては、内部リード部 1 上に設けられた、例えば半導体よりなるパンプ 2 が設けられ、そのパンプ 2 を介して半導体チップ 3 と電気的に接続されている。なお、このときの内部リード部 1 と半導体チップ 3 を電気的に接続する手段として、半導体チップ 3 上にあらかじめ設けたパンプであつてもよい。また、ワイヤを用いてもよい。

【0021】 そして、図 2～図 4 に示した封止部材 4 から突出する外部リード部 5 は、基板上に設けられた

それら。

(0022) これにより、収束、散開防止部4の収束部から突出していた内部リードの分だけ、実装スペースを切り詰めるたり、他の部品等の実装に拘束されておたりすることが可能になる。

(0023) 次に、図5を用いて、本発明の半導体装置のリードフレームについて説明する。

(0024) 図5において、3Aは大さめの半導体チップ、3Bは小さめの半導体チップ、2Aは大さめの半導体チップと内部リード部分を包むパンプ、2Bは大さめの半導体チップと内部リード部分を包むパンプをそれぞれ示す。

(0025) 図5に示すように、本発明の半導体装置のリードフレームの形状は、フレームの中心付近から内部リードが放射状に広がっている。

(0026) これにより、収束で来た量なるツイズの半導体チップである大さめの半導体チップ3Aを収束する場合で、小さめの半導体チップ3Bを収束する場合でも、各半導体チップ3A、3Bのパッド位置を内部リード1上の収束可能位置に位置し、その位置にパンプ2A、2Bを設けることで半導体チップ3A、3Bと内部リード部分1とを収束できる。このパンプ適用による内部リードと半導体チップとの電気的な接続はワイヤ接続では得られない有用な手段である。

(0027) すなわち、本発明のリードフレーム一つで多数の半導体チップを適用できる。

(0028) 次に、本発明の他の実施例を図6と図7に示す。

(0029) 図6に示す半導体装置の例は、図1の例に示した半導体装置の内部リード部分1と外部リード部分の形状をなくしたものであり、内部リードと外部リードを共用化したリードを設けてある。すなわち、本実施例によれば、リードの収束のばね2/3がレジジンにより埋め込まれ、その埋め込まれたリード一面（上面）が半導体チップとの電気的接続面をなし、一方、リードの収束のばね1/3がレジジンから突出、その突出した端面は実装基盤への接続端子、つまり外部リードとなる。

(0030) これにより、実装面における基盤と外部リードの接続部分の面積を確保できるとし、薄型化パッケージが得られる。リードフレームに収束をつけなくてもよくなる。

(0031) 図7に示す半導体装置の例は、前述の図1に示した半導体装置の半導体チップ3上に収束用フィン6を設け、半導体チップから発せられる熱を逃がしてやるものである。

(0032) なお、本実施例は互換型の半導体装置をそれぞれ取り扱った正逆両型の半導体装置についてし

て述べてある。

(0033) また、本実施例のCOL (CHIP ON LEAD) 構造の半導体装置は、基盤から外部リードを突出させた例を取り扱ったが、LOC (LEAD ON CHIP) 構造の半導体装置においては、上面から外部リードを突出させる。

(0034) したがって、半導体チップとそれに電気的に接続された内部リードを基板上で封止した半導体装置であって、上記半導体装置の封止部材の底面もしくは、上面から内部リードの一部を突出させることにより、半導体装置の封止部材の占める面積内に外部リードが収まり、収束の外部リードの突出によって余分とられていた実装面積を減少できるため、半導体装置の基盤実装における実装効率を向上することが可能となる。

(0035) 以上、本発明者によってなされた発明を、図1の実施例に基づき具体的に説明したが、本発明は、図1の実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

(0036)

【発明の効果】本発明において提示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

(0037) 半導体チップとそれに電気的に接続された内部リードを基板上で封止した半導体装置であって、上記半導体装置の封止部材の底面もしくは、上面から内部リードの一部を突出させることにより、半導体装置の封止部材の占める面積内に外部リードが収まり、収束の外部リードの突出によって余分とられていた実装面積を減少できるため、半導体装置の基盤実装における実装効率を向上することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体装置の構造を説明するための図である。

【図2】本発明の半導体装置の側面図である。

【図3】本発明の半導体装置の側面図である。

【図4】本発明の半導体装置の底面からみた平面図である。

【図5】本発明の半導体装置におけるリードフレームの構造を説明するための図である。

【図6】本発明の他の実施例である半導体装置の構造を説明するための図である。

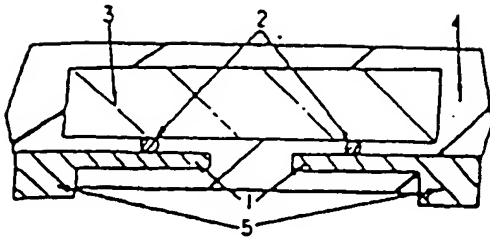
【図7】本発明の他の実施例である半導体装置の構造を説明するための図である。

【符号の説明】

1…内部リード部分、2…パンプ、3…チップ、4…散開防止部、5…外部リード部分、6…収束用フィン。

(图 1)

图 1



(图 2)

图 2

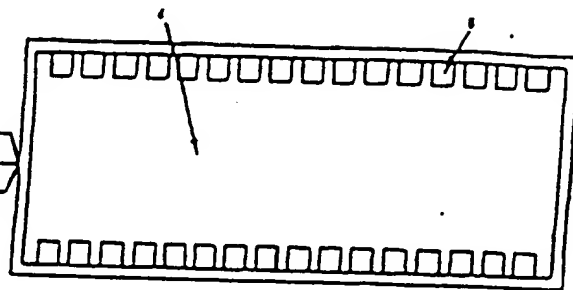
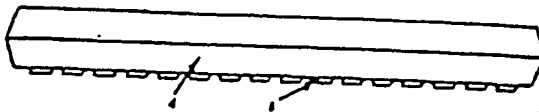


(图 4)

图 4

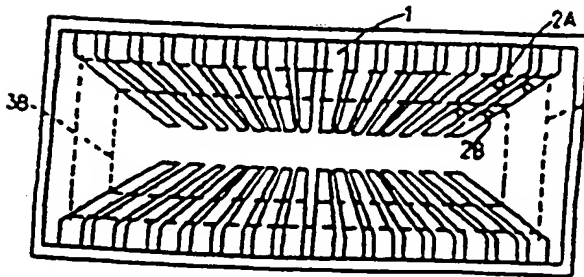
(图 3)

图 3



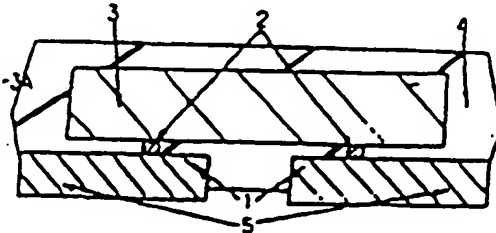
(图 5)

图 5



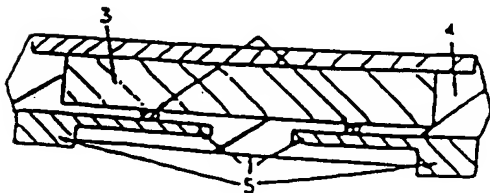
(图 6)

图 6



(图 7)

图 7



(5)

特許第 7-312405

フロントページの記号

(51) Int. Cl.

出願記号

国内登録番号

F 1

NO. 11/92

特許出願所

(72) 発明者 角谷 恒雄

東京都小平市上水本町 5 丁目 20 番 1 号

株式会社日立製作所半導体事業部内

[TITLE OF THE INVENTION]

Semiconductor Device

5

[CLAIMS]

1. A semiconductor device including a semiconductor chip, inner leads electrically connected to the semiconductor chip, and a resin encapsulate adapted to encapsulate the semiconductor chip and the inner leads, wherein each of the inner leads is partially protruded from a lower surface or an upper surface of the resin encapsulate.

2. The semiconductor device in accordance with claim 1, wherein the inner leads are electrically connected to the semiconductor chip by bumps, respectively.

3. A semiconductor device including a semiconductor chip, a plurality of inner leads electrically connected to the semiconductor chip, and a resin encapsulate adapted to encapsulate the semiconductor chip and the inner leads, wherein each of the inner leads is encapsulated at a portion of the thickness thereof while being exposed at the remaining portion thereof in such a fashion that it has an

encapsulated main lead surface serving as an electrical connection to the semiconductor chip, and an exposed main lead surface positioned opposite to the encapsulated main lead surface, the exposed main lead surface serving as an
5 outer lead.

[DETAILED DESCRIPTION OF THE INVENTION]

[FIELD OF THE INVENTION]

The present invention relates to a technique
10 effective if applied to semiconductor devices.

[DESCRIPTION OF THE PRIOR ART]

In conventional semiconductor devices, a semiconductor chip is typically connected with inner leads
15 by means of wires or bumps. Such a semiconductor device has a structure in which outer leads are laterally protruded from an encapsulate.

[SUBJECT MATTERS TO BE SOLVED BY THE INVENTION]

20 After reviewing the prior art, the inventors have found the following problems. A down-sizing of recent system appliances using semiconductor devices has resulted in a requirement to reduce the size of circuit boards on which semiconductor devices are mounted. To this end,
25 attempts to reduce the size of semiconductor devices have

been made in order to achieve an improvement in the mounting efficiency of circuit boards resulting in a reduction in the size of those circuit boards.

5 In most cases, such a reduction in the size of semiconductor devices have been achieved by reducing the size of semiconductor chips. For such a reduction in the size of semiconductor devices, outer leads have not been the subject of interest. That is, there has been no attempt to reduce the area occupied by outer leads of a semiconductor device on a circuit board. Since
10 conventional semiconductor devices have a structure in which outer leads are laterally protruded from a resin encapsulate, they have a mounting area increased by the area of the outer leads laterally protruded from the resin encapsulate. As a result, the conventional semiconductor
15 devices involve a problem in that the mounting efficiency thereof on a circuit board is degraded.

An object of the invention is to provide a technique capable of improving the mounting efficiency of a semiconductor device on a circuit board.
20

Other objects and novel features of the present invention will become more apparent after a reading of the following detailed description when taken in conjunction with the drawings.

25

[MEANS FOR SOLVING THE SUBJECT MATTERS]

A representative of inventions disclosed in this application will now be summarized in brief.

In a semiconductor device in which a semiconductor chip and inner leads electrically connected to the
30 semiconductor chip are encapsulated by resin, each of the

inner leads is partially protruded from a lower surface or an upper surface of the resin encapsulate.

For a semiconductor device in which a semiconductor chip and inner leads electrically connected to the semiconductor chip are encapsulated by resin, the present invention can improve the mounting efficiency of the semiconductor device on a circuit board by protruding a portion of each inner lead from the lower or upper surface of the resin encapsulate in such a fashion that the outer leads of the semiconductor device are received in an area occupied by the resin encapsulate, thereby reducing the mounting area of the outer leads by the area of outer leads laterally protruded from a resin encapsulate in the case of conventional semiconductor devices.

Now, the present invention will be described in detail in conjunction with embodiments thereof.

In the drawings associated with the embodiments, elements having the same function are denoted by the same reference numeral, and repeated description thereof will be omitted.

[EMBODIMENTS]

Fig. 1 is a view illustrating a semiconductor device having a structure according to an embodiment of the present invention. The semiconductor device according to the embodiment of the present invention shown in Fig. 1 has a rectangular structure. Fig. 2 is a side view of the semiconductor device when viewed at the shorter side of the rectangular structure. Fig. 3 is a side view of the semiconductor device when viewed at the longer side of the rectangular structure. Fig. 4 is a plan view of the semiconductor device when viewed at the bottom.

In Figs. 1 to 4, the reference numeral 1 denotes

inner lead portions, 2 bumps, 3 a chip, 4 a resin encapsulate, and 5 outer lead portions, respectively.

As shown in Fig. 1, the semiconductor device of the present embodiment includes leads having a stepped lead structure. Each lead has an inner lead portion 1 serving as an inner lead, and an outer lead portion 5 serving as an outer lead.

The stepped lead structure can be obtained by half-etching the inner lead portions 1 of the leads. Alternatively, the stepped lead structure may be obtained by bonding two lead sheets to each other in such a fashion that they define a step therebetween, and then cutting the bonded lead sheets.

Within the resin encapsulate 4, bumps 2, which may be made of, for example, solder, are provided on the inner lead portions 1, respectively. Through these bumps 2, the inner lead portions are electrically connected to the semiconductor chip 3. Bumps previously provided at the semiconductor chip 3 may also be used as means for electrically connecting the inner lead portions 1 to the semiconductor chip 3. Alternatively, wires may be used.

As shown in Figs. 2 to 4, the outer lead portions 5, which are protruded from the resin encapsulate 4, are mounted on a circuit board or the like while being in surface contact with the circuit board. Accordingly, it is

possible to reduce the mounting space of the semiconductor device by the area of outer leads laterally protruded from a resin encapsulate in the case of conventional semiconductor devices. Otherwise, this area may be used to
5 mount other elements.

Now, a lead frame included in the semiconductor device according to the present embodiment will be described in conjunction with Fig. 5.

In Fig. 5, the reference numeral 3A denotes a larger
10 semiconductor chip, 3B a smaller semiconductor chip, 2A bumps for coupling inner leads to the larger semiconductor chip, and 2B bumps for coupling the inner leads to the smaller semiconductor chip, respectively.

As shown in Fig. 5, the lead frame of the
15 semiconductor device according to the present embodiment has a structure in which inner leads extend radially around an area near the center of the lead frame. Accordingly, any one of the semiconductor chips having different sizes, that is, the larger semiconductor chip 3A and smaller
20 semiconductor chip 3B indicated by phantom lines, can be connected with the inner lead portions 1 by shifting each pad position of the semiconductor chip 3A or 3B to a position where the semiconductor chip 3A or 3B can be connected to the inner leads 1, and providing a bump 2A or
25 2B at the shifted position. The electrical connection

between the inner leads and the semiconductor chip obtained by use of bumps as mentioned above provides an useful effect which cannot be expected in the case using wire connection. That is, one lead frame, which is configured in accordance with the present embodiment, can be applied
5 to a variety of semiconductor chips.

Referring to Figs. 6 and 7, other embodiments of the present invention are illustrated, respectively.

In a semiconductor device according to the embodiment of Fig. 6, there is no step between the inner and outer lead portions 1 and 5 of each lead, as compared to the semiconductor device of Fig. 1. In this case, the semiconductor device includes leads each serving as both the inner and outer leads. In accordance with this
10 embodiment, about $2/3$ of the thickness of each lead is encapsulated by resin. One main surface of each lead, namely, the encapsulated main surface (upper surface), serves as an electrical connection to the semiconductor chip. About $1/3$ of the thickness of each lead is exposed
15 from the resin. The other main surface of each lead, namely, the exposed main surface, serves as a connection terminal to a mounting circuit board, for example, an outer lead.
20

In accordance with such a structure, it is possible
25 to secure the area, where the outer leads can be connected

to the circuit board, upon the mounting of the semiconductor device. Furthermore, a thin package can be produced. In accordance with this embodiment, it is also unnecessary to provide a stepped lead structure for the lead frame.

In a semiconductor device according to the embodiment of Fig. 7, radiation fins 6 are provided on the semiconductor chip 3 shown in Fig. 1 in order to radiate heat generated from the semiconductor chip 3.

Although the above embodiments have been described as being applied to rectangular semiconductor devices, they may also be applied to square semiconductor devices. Also, the above embodiments have been described as being applied to a semiconductor device having a COL (Chip On Lead) structure to protrude outer leads thereof from the lower surface of the encapsulate. In the case of a semiconductor device having an LOC (Lead On Chip) structure, outer leads thereof are protruded from the upper surface of the encapsulate.

For a semiconductor device in which a semiconductor chip and inner leads electrically connected to the semiconductor chip are encapsulated by resin, the present invention can improve the mounting efficiency of the semiconductor device on a circuit board by protruding a portion of each inner lead from the lower or upper surface

of the resin encapsulate in such a fashion that the outer leads of the semiconductor device are received in an area occupied by the resin encapsulate, thereby reducing the mounting area of the outer leads by the area of outer leads laterally protruded from a resin encapsulate in the case of conventional semiconductor devices.

Although the preferred embodiments of the invention have been disclosed for illustrative purposes, those skilled in the art will appreciate that various modifications, additions and substitutions are possible, without departing from the scope and spirit of the invention as disclosed in the accompanying claims.

[EFFECTS OF THE INVENTION]

Effects obtained by a representative one of the inventions disclosed in this application will now be described in brief.

For a semiconductor device in which a semiconductor chip and inner leads electrically connected to the semiconductor chip are encapsulated by resin, the present invention can improve the mounting efficiency of the semiconductor device on a circuit board by protruding a portion of each inner lead from the lower or upper surface of the resin encapsulate in such a fashion that the outer leads of the semiconductor device are received in an area occupied by the resin encapsulate, thereby reducing the mounting area of the outer leads by the area of outer leads laterally protruded from a resin encapsulate in the case of conventional semiconductor devices.